

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-297534

(P2001-297534A)

(43)公開日 平成13年10月26日 (2001. 10. 26)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10	3 2 1 Z
H 0 3 G 3/20		H 0 3 G 3/20	A
H 0 3 M 1/18		H 0 3 M 1/18	

審査請求 未請求 請求項の数30 O L (全 13 頁)

(21)出願番号 特願2001-36767(P2001-36767)  
(22)出願日 平成13年2月14日(2001.2.14)  
(31)優先権主張番号 09/503949  
(32)優先日 平成12年2月14日(2000.2.14)  
(33)優先権主張国 米国 (U S)

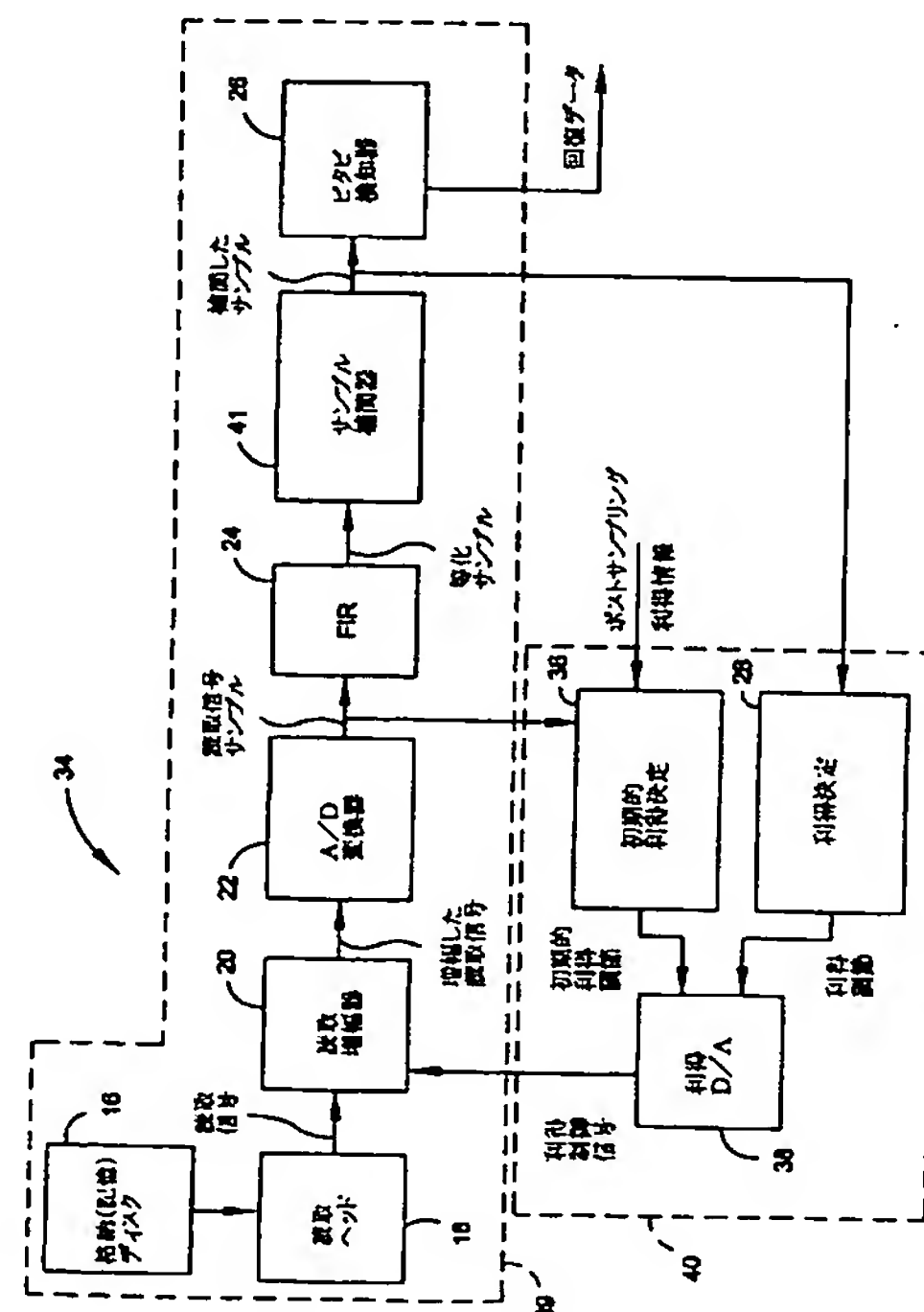
(71)出願人 591236448  
エスティーマイクロエレクトロニクス, イ  
ンコーポレイテッド  
STMicroelectronics,  
Inc  
アメリカ合衆国, テキサス 75006,  
カーロルトン, エレクトロニクス ドラ  
イブ 1310  
(72)発明者 ヘイカン オズデミール  
アメリカ合衆国, カリフォルニア  
95128, サン ノゼ, ウッドローン  
アベニュー 1245  
(74)代理人 100057793  
弁理士 小橋 一男 (外1名)

(54)【発明の名称】 増幅した信号のサンプルの和に基づいて増幅器の利得を制御する回路及び方法

(57)【要約】

【課題】 増幅した信号のサンプルの和に基づいて増幅器の利得を制御する技術を提供する。

【解決手段】 本発明回路は情報信号を増幅する増幅器の利得を制御する。本回路は、増幅された情報信号の第一及び第二サンプルを格納するバッファ、及び該バッファへ結合されている利得決定回路を有している。該利得決定回路は第一及び第二サンプルの和に基づいて利得調節を発生し、該利得調節は、増幅器をして、増幅された情報信号の振幅を所定の振幅へ又はそれに向かって変化させる。このような回路は、ディスクドライブ読取チャンネルにおける読取信号増幅器に対する初期的粗利得調節を与えることが可能である。従来の読取チャンネルと比較して、この初期的調節はデータセクタの始めにおいて増幅器の利得のより迅速な安定化を促進させる。このより迅速な安定化は、データセクタがより短いプリアンブルを有することを可能とし、従ってディスクがより高いデータ格納(記憶)密度を有することを可能とする。



## 【特許請求の範囲】

【請求項 1】 情報信号を増幅するために動作可能な増幅器の利得を制御する回路において、前記増幅した情報信号の第一及び第二サンプルを格納すべく動作可能なバッファ、前記バッファへ結合されており、前記第一及び第二サンプルの和に基づいて利得調節を発生すべく動作可能な利得決定回路、を有しており、前記利得調節が前記増幅器をして前記増幅された情報信号の振幅を所定の振幅へ又はそれに向かって変化させるべく動作可能であることを特徴とする回路。

【請求項 2】 請求項 1 において、前記利得決定回路が、前記サンプルのうちの 1 つ及び他方のサンプルと所定のスケールファクタの積の和に基づいて前記利得調節を発生すべく動作可能であることを特徴とする回路。

【請求項 3】 請求項 1 において、前記利得決定回路が、前記サンプルのうちのより小さいもの及びより大きなサンプルと所定のスケールファクタとの積の和に基づいて前記利得調節を発生すべく動作可能であることを特徴とする回路。

【請求項 4】 請求項 1 において、前記利得決定回路が、前記第一及び第二サンプルのスケールした和に基づいて前記利得調節を発生すべく動作可能であることを特徴とする回路。

【請求項 5】 請求項 1 において、前記利得決定回路が、前記サンプルのうちの 1 つと前記情報信号の所定の点との間の位相差に基づくスケールファクタと前記第一及び第二サンプルの和の積に基づいて前記利得調節を発生すべく動作可能であることを特徴とする回路。

【請求項 6】 請求項 1 において、前記利得調節が前記第一及び第二サンプルの和に対する前記所定の振幅の比に対して比例していることを特徴とする回路。

【請求項 7】 請求項 1 において、前記利得決定回路が、前記第一及び第二サンプルの和に基づいて第一利得コンポーネント信号を発生すべく動作可能な第一利得コンポーネント回路、前記増幅した情報信号によって経験されたポストサンプリング利得に基づいて第二利得コンポーネント信号を発生すべく動作可能な第二利得コンポーネント回路、前記第一及び第二利得コンポーネント回路へ結合されており、前記第一及び第二利得コンポーネント信号から前記利得調節を発生すべく動作可能な利得調節発生器、を有していることを特徴とする回路。

【請求項 8】 請求項 1 において、前記利得決定回路が、第一利得コンポーネント値を格納し且つ前記第一及び第二サンプルの和に対応する格納されている第一利得コンポーネント値を供給すべく動作可能な第一利得コンポーネントルックアップメモリ、

10 【請求項 9】 請求項 1 において、前記利得決定回路が前記利得調節を対数的にスケールリングすべく動作可能であることを特徴とする回路。

【請求項 10】 請求項 1 において、前記利得決定回路が、前記利得調節を直線的にスケールリングすべく動作可能であることを特徴とする回路。

【請求項 11】 請求項 1 において、前記情報信号が周期的信号を有しており、且つ前記第一サンプルが前記周期的信号の  $90^\circ$  又はほぼ  $90^\circ$  だけ前記第二サンプルをリードすることを特徴とする回路。

20 【請求項 12】 情報信号を増幅すべく動作可能な増幅器の利得を制御する回路において、前記増幅した情報信号の第一及び第二生サンプルを受取り且つそれから夫々の第一及び第二フィルタ済サンプルを発生すべく動作可能なフィルタ、前記フィルタへ結合されており、前記第一及び第二サンプルの和に基づいて利得調節を発生すべく動作可能な利得決定回路、を有しており、前記利得調節が前記増幅した情報信号の振幅を所定の振幅へ又はそれに向かって変化させるべく動作可能であることを特徴とする回路。

30 【請求項 13】 請求項 12 において、前記情報信号が周期的信号を有しており、且つ前記フィルタが、前記増幅した情報信号の周期の半分又はほぼ半分だけ互いに離隔されている第一生サンプルを受取り、前記信号の周期の半分又はほぼ半分だけ互いに離隔されており且つ、夫々、前記信号の  $\frac{1}{4}$  周期又はほぼ  $\frac{1}{4}$  周期だけ前記第一サンプルから離隔されている第二生サンプルを受取り、前記第一生サンプルの平均に等しい前記第一フィルタ済サンプルを発生し、

40 前記第二生サンプルの平均に等しい前記第二フィルタ済サンプルを発生すべく、動作可能であることを特徴とする回路。

【請求項 14】 読取回路において、調節可能な利得を有しており、且つプリアンブル部分とデータ部分とを有している読取信号を受取り且つ増幅すべく動作可能な増幅器、前記増幅器へ結合されており増幅された読取信号のサンプルを発生すべく動作可能なアナログ・デジタル変換器、

50 前記増幅器及び前記変換器へ結合されており、前記読取

信号のデータ部分期間中に前記増幅器の利得を制御すべく動作可能な第一利得決定回路、

前記増幅器及び前記変換器へ結合されており、前記増幅した読取信号の第一及び第二サンプルの和にตอบสนองして前記読取信号のプリアンプル部分期間中に前記増幅器の利得を制御すべく動作可能な第二利得決定回路、を有していることを特徴とする読取回路。

【請求項 15】 請求項 14 において、前記第二利得決定回路が、前記第一利得決定回路が前記利得を制御する前に、前記増幅器の利得を制御すべく動作可能であることを特徴とする読取回路。

【請求項 16】 請求項 14 において、前記第二利得決定回路が、前記第一利得決定回路が前記増幅器の利得を制御する前に、前記増幅器利得の粗調節を与えるべく動作可能であることを特徴とする読取回路。

【請求項 17】 請求項 14 において、更に、前記変換器へ結合されており、利得を有しており、前記読取信号のサンプルを処理すべく動作可能な有限インパルス応答フィルタを有しており、前記第二利得決定回路が、更に、前記フィルタの利得にตอบสนองして前記増幅器の利得を

【請求項 18】 ディスクドライブシステムにおいて、一表面を具備しており且つプリアンプル及びデータ値を格納すべく動作可能なデータ格納ディスク、前記ディスクへ結合されており且つ前記ディスクを回転すべく動作可能なモータ、プリアンプルとそれに続くデータ値とを包含している読取信号を発生すべく動作可能な読取ヘッド、前記読取ヘッドを前記ディスクの前記表面上にわたって移動させるべく動作可能な読取ヘッド位置決め組立体、前記読取ヘッドへ結合されている読取回路、を有しており、前記読取回路が、調節可能な利得を有しており且つプリアンプル部分とデータ部分とを有している読取信号を受取り且つ増幅すべく動作可能な増幅器、前記増幅器へ結合されており、増幅された読取信号のサンプルを発生すべく動作可能なアナログ・デジタル変換器、前記増幅器及び前記変換器へ結合されており、前記読取信号のデータ部分期間中に前記増幅器の利得を制御すべく動作可能な第一利得決定回路、前記増幅器及び前記変換器へ結合されており、増幅された読取信号の第一及び第二サンプルの和にตอบสนองして前記読取信号のプリアンプル部分期間中に前記増幅器の利得を制御すべく動作可能な第二利得決定回路、を有していることを特徴とするディスクドライブシステム。

【請求項 19】 振幅を有している信号の第一及び第二サンプルを発生し、前記第一及び第二サンプルの和にตอบสนองして前記信号の振幅を制御する、ことを特徴とする方法。

【請求項 20】 請求項 19 において、前記制御する場合に、前記サンプルのうちの 1 つ及び他方のサンプルと所定のスケールファクタとの積の和にตอบสนองして前記信号の振幅を制御することを特徴とする方法。

【請求項 21】 請求項 19 において、前記制御する場合に、前記サンプルのうちの小さいもの及びより大きなサンプルと所定のスケールファクタとの積の和にตอบสนองして前記信号の振幅を制御することを特徴とする方法。

【請求項 22】 請求項 19 において、前記制御する場合に、前記第一及び第二サンプルのスケーリングした和にตอบสนองして前記信号の振幅を制御することを特徴とする方法。

【請求項 23】 請求項 19 において、前記制御する場合に、前記第一及び第二サンプルの和及び前記サンプルのうちの 1 つと前記情報信号の所定の点との間の位相差に基づいているスケールファクタの積にตอบสนองして前記信号の振幅を制御することを特徴とする方法。

【請求項 24】 請求項 19 において、前記制御する場合に、前記信号の振幅を所定の振幅へ又はそれに向かって変化させることを特徴とする方法。

【請求項 25】 請求項 19 において、更に、前記信号の周期の半分又はほぼ半分だけ互いに離隔されている第一生サンプルを受取り、前記信号の周期の半分又はほぼ半分だけ互いに離隔されており且つ、夫々、前記信号の 4 分の 1 周期又はほぼ 4 分の 1 周期だけ前記第一サンプルから離隔されている第二生サンプルを受取り、前記第一生サンプルの平均に等しい前記第一サンプルを発生し、前記第二生サンプルの平均に等しい前記第二サンプルを発生する、ことを特徴とする方法。

【請求項 26】 請求項 19 において、前記制御する場合に、前記第一及び第二サンプルを発生した後に、前記信号に対して適用した所定の振幅変化にตอบสนองして前記信号の振幅を制御することを特徴とする方法。

【請求項 27】 請求項 19 において、前記制御する場合に、前記第一及び第二サンプルの和に対応する値をメモリから検索し、前記検索した値にตอบสนองして前記信号の振幅を制御する、ことを特徴とする方法。

【請求項 28】 請求項 19 において、前記制御する場合に、前記信号の振幅を指数的に制御することを特徴とする方法。

【請求項 29】 請求項 19 において、前記制御する場合に、前記信号の振幅を直線的に制御することを特徴とする方法。

【請求項 30】 請求項 19 において、前記信号が周期を有しており、且つ前記発生する場合に、前記第二サンプルを発生する前に前記振幅の 4 分の 1 又はほぼ 4 分の



1において前記第一サンプルを発生する、ことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大略、電子回路に関するものであって、更に詳細には、増幅した信号サンプルの和に基づいて増幅器の利得を制御する回路及び方法に関するものである。1つの適用例においては、本発明に基づく回路は、ディスクドライブ読取チャンネルにおける読取信号増幅器に対して初期的利得調節を与える。この初期的調節は、増幅器利得調節回路がディスクデータセクタの始めにおいて適切な増幅器利得をより迅速に決定し且つ設定することを可能とする。このより迅速な決定及び設定は、データセクタプリアンプの長さを減少させることを可能とし、従って、ディスクデータ格納密度を増加させることを可能とする。更に、サンプルクロックとプリアンプシヌソイドとの間の位相角度はデータセクタの始めにおいては不知の場合があるので、本回路はこの位相角度とは独立的に初期的利得調節を決定することが可能である。

【0002】本発明は、2000年2月14日付で出願した「増幅器の利得を制御する回路及び方法 (A CIRCUIT AND METHOD FOR CONTROLLING THE GAIN OF AN AMPLIFIER)」という名称の米国特許出願第09/503,399号、代理人ドケット番号99-S-188 (1678-19) 及びそれに基づいて本日同日付で出願される特許出願 (整理番号ST718) に記載されている発明に関連しており、それらの記載内容を引用によって本明細書に取り込む。

【0003】

【従来の技術】図1は、読取経路12と利得制御回路14とを有している従来のディスクドライブ読取チャンネル10のブロック図である。読取経路12はデータを格納即ち記憶するためのディスク16と、ディスク16からデータを読取り且つ対応する読取信号を発生する読取ヘッド18と、該読取信号を増幅するための信号制御型増幅器20と、増幅した読取信号をサンプリングし且つデジタル化するアナログ・デジタル (A/D) 変換器22と、デジタルサンプルを等化させる有限インパルス応答 (FIR) フィルタ24と、等化されたサンプルから読取データを回復するビタビ (Viterbi) 検知器26とを有している。単一のA/D変換器22を有するものとして示してあるが、読取経路12は、公知の如く、2個又はそれ以上の並列A/D変換器を有することが可能である。利得制御回路14は、デジタル利得制御信号を発生するための利得決定回路28と、該デジタル利得制御信号をアナログ利得制御信号 (電圧又は電流) へ変換するためのデジタル・アナログ変換器 (D/A) 30とを有している。

【0004】図2は図1の増幅器20によって発生され且つピーク振幅Aを有しているプリアンプシヌソイド即ちプリアンプ正弦曲線の概略図である。プリアンプはディスク16の各データセクタ (不図示) の始めにおいて格納即ち記憶されるビットパターンである。このビットパターンは、読取ヘッド18がプリアンプを読取っている間、ヘッド18からの読取信号及び増幅器20からの増幅された読取信号がシヌソイド (正弦曲線) 又は近似的なシヌソイドであるように指定される。以下に説明するように、読取チャンネル10はヘッド18がプリアンプに続くデータを読取るための準備としてそれ自身較正するためにプルアンプを使用する。プリアンプはそうでなければデータを格納 (記憶) するために使用することが可能な格納 (記憶) 位置を占有するので、通常、プルアンプは可及的に短いものであることが所望される。然しながら、プルアンプが短すぎる場合には、読取チャンネル10が不適切に較正を行う場合があり、従って格納即ち記憶されているデータを誤って読取する場合がある。従って、読取チャンネル10のキャリブレーション (較正) 時間は、典型的に、プリアンプの最小長さを制限する。

【0005】図1及び2を参照すると、利得制御回路14はFIRフィルタ24からのプリアンプシヌソイドの等化したサンプルを使用して増幅器20の利得をキャリブレーション即ち較正する。ビタビ検知器26は、所定の値の範囲内にあるサンプルを処理するように構成されており、この範囲は所定の最大値と所定の最小値とを有している。更に、該プリアンプシヌソイドの正及び負のピークのFIRサンプルは、夫々、最大及び最小サンプル値に対応している。従って、ヘッド18がプリアンプを読取っている間に、利得制御回路14はフィードバック (増幅器20と、A/D変換器22と、FIR24と、制御回路14とがフィードバックループを形成している) を使用して増幅器20の利得を調節し、従ってFIR24の出力において、正のピーク及び負のピークのサンプルは、ヘッド18がデータの読取を開始する前に、夫々、所定の最大値及び最小値と等しい。

【0006】然しながら、利得制御回路14は、しばしば、ディスク16の記憶 (格納) 密度を制限する。利得調節フィードバックループが安定であり且つ増幅器20の利得を微細に調節することが可能であることを確保するために、回路14は、典型的に、比較的長い時定数を有しており、即ち比較的ゆっくりと動作する。従って、回路14は、しばしば、増幅器20の利得が許容可能なレベルへ安定する前に、FIR24からの比較的多数のプリアンプ・ピークサンプルを処理せねばならない。その結果、読取ヘッド18がプリアンプに続くデータの読取を開始する前に、増幅器の利得が許容可能なレベルへ安定化することを確保するために回路14はディスク16が各データセクタにおいて比較的長いプリアンプ

ルを格納即ち記憶することを必要とする。然しながら、このような条件は各データセクタが記憶即ち格納することが可能なデータビット数を制限し、従ってディスク16が記憶即ち格納することが可能なデータビットの総数を制限することとなる。

#### 【0007】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、増幅した信号のサンプルの和に基づいて増幅器の利得を制御する回路及び方法を提供することを目的とする。本発明の別の目的とするところは、記録媒体上に記録されるプリアンプルを短くし、記憶密度を増加させる技術を提供することである。

#### 【0008】

【課題を解決するための手段】本発明の1つの側面によれば、情報信号を増幅する増幅器の利得を制御する回路が提供される。本回路は、増幅された情報信号の第一及び第二サンプルを格納するバッファ、及び該バッファに結合されている利得決定回路を有している。該利得決定回路は、第一及び第二サンプルの和に基づいて利得調節を発生し、且つ該利得調節は、増幅器をして、増幅された情報の振幅を所定の振幅へ又はそれに向かって変化させる。

【0009】このような回路は、ディスクドライブ読取チャンネルにおける読取信号増幅器に対して初期的な粗利得調節を与えることが可能である。従来の読取チャンネルと比較して、この初期的調節はデータセクタの始めにおいて増幅器利得のより迅速な安定化を促進させる。このより迅速な安定化は、データセクタがより短いプリアンプルを有することを可能とし、従ってディスクがより高いデータ格納（記憶）密度を有することを可能とする。更に、サンプルクロックとプリアンプルシヌソイドとの間の位相角度はデータセクタの始めにおいては不知である場合があるので、本回路はこの位相角度とは独立的に初期的利得調節を決定することが可能である。

#### 【0010】

【発明の実施の形態】図3は本発明の1実施例に基づく読取チャンネル34の概略ブロック図である。読取チャンネル34は図1の読取チャンネル10と類似しており、従って図1及び3において同様の参照番号は同様のコンポーネントを参照している。然しながら、読取チャンネル10と異なり、読取チャンネル34は初期的利得決定回路36を有しており、それは従来のD/A変換器38を介して、読取増幅器20に対して初期的な粗利得調節を供給する。読取チャンネル10と比較して、この初期的な調節は各データセクタの始めにおいての増幅器の利得のより迅速な安定化を促進させる。このより迅速な安定化は、各データセクタがより短いプリアンプルを格納することを可能とし、従ってディスク16がより高いデータ記憶（格納）密度を有することを可能とする。

【0011】より詳細に説明すると、読取チャンネル34は読取経路39を有しており、読取経路39は、デジタルタイミング回復を使用しており、従ってFIRフィルタ24とビタビ検知器26との間に結合されているサンプル補間器41を有しているという点を除いて、図1の読取経路12と類似している。簡単に説明すると、デジタルタイミング回復は、A/Dサンプリングクロック（不図示）と読取信号との間の位相角を決定する技術である。インタポレータ即ち補間器41はこの位相角に基づいてサンプル値を調節する。デジタルタイミング回復及び補間器41は、1999年8月31日付で出願された「ボーレイトサンプリングを使用したデジタルタイミング回復 (Digital Timing Recovery Using Baud Rate Sampling)」という名称の米国特許出願第09/387, 146号、2000年2月14日付で出願された「サンプルクロックとサンプルされた信号との間の位相差を決定する回路及び方法 (Circuit And Method For Determining The Phase Difference Between A Sample Clock And A Sampled Signal)」という名称の米国特許出願第09/503, 453号、代理人ドケット番号99-S-163 (1678-15) 及びそれに基づいて本日同日付で出願される特許出願（整理番号ST721）、2000年2月14日付で出願された「直線近似によるサンプルクロックとサンプルされた信号との間の位相差を決定する回路及び方法 (Circuit And Method For Determining The Phase Difference Between A Sample Clock And A Sampled Signal By Linear Approximation)」という名称の米国特許出願第09/503, 929号、代理人ドケット番号99-S-164 (1678-16) 及びそれに基づいて本日同日付で出願される特許出願（整理番号ST719）に記載されており、それらを引用によって本明細書に取込む。読取チャンネル34は、更に、利得制御回路40を有しており、それは、本発明の1実施例によれば、利得回路28と、初期的利得回路36と、D/A変換器38とを有している。

【0012】利得決定回路28は補間器41からのサンプルをモニタし且つ、ヘッド18が読取信号のデータ部分を読取っている間に、増幅器20に対する1つ又はそれ以上の微細利得調節を決定し且つ供給することによって該サンプルの大きさを所定の範囲内に設定し且つ維持する。幾つかの実施例においては、回路28は、又、ヘッド18がプリアンプルシヌソイドを読取っている間にこれらの機能を実施する。

【0013】然しながら、初期的利得決定回路36はA/D変換器22からのサンプルをモニタし、且つ、ヘッ



ド18がプリアンブルシヌソイドを読取っている間に、増幅器20に対して初期的な粗利得調節を決定し且つ供給することによって、これらのサンプルの大きさを所定の範囲へ向かって又は所定の範囲内へ駆動する。回路36は補間されたサンプルの代わりにA/Dサンプルをモニタする。何故ならば、A/D変換器22は、典型的に、補間器41よりも一層迅速にサンプルを発生するからである。従って、回路36は初期的な利得調節をより迅速に且つそうでない場合に必要とされるよりもより短いプリアンブルで供給することが可能である。1実施例においては、回路36は、サンプルクロック（不図示）とプリアンブルシヌソイドとの間の位相とは独立的に初期的利得調節を決定する。別の実施例においては、回路36は、利得回路28が微細利得調節を供給する前に、初期的利得調節を増幅器20へ供給する。更に別の実施例においては、回路36はその初期的利得調節の決定を、A/Dサンプルばかりでなく、該サンプルがA/D変換器22を去った後読取経路14内にサンプルによって経験される利得にも基づいて行う。例えば、1実施例においては、初期的利得調節はビタビ検知器26の入力において補間されたサンプルの初期的な大きさをより正確に設定するためにFIRフィルタ24の利得を考慮する。

【0014】D/A変換器38は、回路28からの微細利得調節及び回路34からの粗利得調節をアナログ利得制御信号（電圧又は電流）の夫々の部分へ変換し、該アナログ利得制御信号は増幅器20の利得を夫々の利得調節に対応するレベルへ設定する。1実施例においては、該利得制御信号は対数的に又はそうでない場合には指数的にスケーリングされる。別の実施例においては、該利得制御信号は線形的にスケーリングされる。スケーリングのタイプは増幅器20の条件に依存し、且つ回路28及び36、変換器38又はその他の回路（不図示）が従来の態様でそのスケーリングを実施することが可能である。

【0015】図3を参照すると、読取ヘッド18がデータセクタの始めにおいてプリアンブルシヌソイドを読取っている間に、初期的利得決定回路36は、A/Dサンプルの大きさに基づいて、且つ、幾つかの実施例においては、読取経路39内の予定されたポストサンプリング（即ち、サンプリングの後）利得に基づいて初期的な粗利得調節を決定する。回路36は、D/A変換器38を介して増幅器20へ初期的な調節を与え、次いで、ヘッド18が次のデータセクタの読取を開始するまで不活性状態となる。この初期的調節は補間したサンプルの大きさを所望の範囲に向かってかなりの量移動させ、且つ、幾つかの場合においては、所望の範囲内に移動させる。その後、利得回路28が活性状態となり且つ一連の微細利得調節を介して、補間したサンプルの大きさを所望の範囲内へ移動させ、及び/又は、ヘッド18がセクタ

内のデータを読取っている間に、所望の範囲内に維持させる。

【0016】図4は本発明の1実施例に基づく図3の初期的利得決定回路36の概略ブロック図である。回路36は、A/D変換器22（図3）からのサンプルを受取り且つ格納するためのバッファ42と、該サンプルをフィルタするためのフィルタ44と、初期的利得調節を決定するための初期的利得調節回路46とを有している。回路46は、プリアンブルシヌソイドA/Dサンプルの大きさから初期的利得調節の第一コンポーネント（成分）を派生するための回路48と、読取信号によって経験されるポストサンプリング利得からの初期的利得調節の第二コンポーネントを派生するための回路50と、該第一及び第二コンポーネントから初期的利得調節を発生するための回路52とを有している。その他の実施例においては、フィルタ44が直接的にサンプルを受取るようにバッファ42を省略することが可能であり、又は回路46が直接的にサンプルを受取るようにバッファ42とフィルタ44の両方を省略することが可能である。更に、幾つかの実施例においては、回路46はポストサンプリング利得を考慮することは必要ではなく、従って、回路50を省略することが可能である。このような実施例においては、回路48は初期的利得調節を発生することが可能であり、従って発生器52も省略することが可能である。

【0017】図4を参照して、回路36及びその副回路の動作についてより詳細に説明する。バッファ42はA/D変換器22（図3）からの読取信号の第一及び第二生サンプルを受取り且つ格納する。1実施例においては、バッファ42は、サンプルクロック（不図示）の8個の夫々の上昇エッジに対応する8個の第一生サンプルを受取り、且つサンプルクロックの8個の夫々の下降エッジに対応している8個の第二生サンプルを受取る。単一のA/D変換器22から第一及び第二生サンプルを受取るものとして説明するが、バッファ42はA/D変換器22から第一生サンプルを受取り且つ第二A/D変換器（不図示）から第二生サンプルを受取ることが可能である。

【0018】フィルタ44はバッファ40から第一及び第二生サンプルを受取り且つ該生サンプルをフィルタして第一フィルタ済サンプル及び第二フィルタ済サンプルを発生する。1実施例においては、フィルタ44は第一フィルタ済サンプルを第一生サンプルの平均と等しく設定し、且つ第二フィルタ済サンプルを第二生サンプルの平均と等しく設定する。この平均化は典型的に、読取信号上に重畳されるノイズの殆ど又全てを除去する。

【0019】回路46は第一及び第二フィルタ済サンプルの大きさに基づいて初期的利得調節を決定する。特

に、回路 48 は第一及び第二フィルタ済サンプルの大きさが与えられた場合に増幅器 20 の利得が変化されるべき利得に基づいて初期的利得調節の第一コンポーネントを決定する。この決定の詳細については図 5 及び 6 を参照して後に説明する。回路 50 はポストサンプリング利得を考慮に入れるためにどのような係数で第一コンポーネントをスケールリングすることが必要であるかに基づいて初期的利得調節の第二コンポーネントを決定する。例えば、図 3 を参照して、サンプル補間器 41 の出力における所望の最大サンプル大きさが M であり、且つ回路 48 が A/D 変換器 22 の出力における最大サンプル大きさが 2M であることを決定するものと仮定する。従って、回路 48 は増幅器 20 の利得を半分だけ減少させるために第一コンポーネントを発生し、従って、A/D 変換器 22 の出力における最大サンプル大きさは、その後、所望の大きさ M となる。然しながら、サンプルの大きさは、ビタビ検知器 26 が受取る前に FIR フィルタ 24 の利得によって変更される（補間器 41 は単位利得を有しているものと仮定する）。従って、この場合においては、ビタビ検知器 26 の入力における最大サンプル大きさは  $M \times (\text{FIR 利得})$  に等しい。FIR 利得 = 1 でない限り、最大サンプル大きさはビタビ検知器 26 の入力において M に等しいものではない。従って、回路 50 は、従来、FIR フィルタ 24 の係数から FIR 利得を決定し、次いで増幅器の利得を  $1 / (\text{FIR 利得})$  だけ減少させるために第二利得コンポーネントを発生する。従って、回路 52 は初期的利得調節を発生し、それが増幅器 20 の利得において対応する変化を発生させると、A/D 変換器 22 の出力における最大サンプル大きさは  $M / (\text{FIR 利得})$  に等しく、且つビタビ検知器 26 の入力における最大サンプル大きさは、所望の最大サンプル大きさである  $\{M / (\text{FIR 利得})\} \times (\text{FIR 利得}) = M$  と等しい。

【0020】図 5 は図 2 のプリアンプルシヌソイドの正の半周期の位相線図である。該位相線図は、第一及び第二フィルタ済サンプル 56 及び 58 が 4 分の 1 周期、即ち  $90^\circ$  離れている場合（それらが、典型的に、読取チャンネル 39（図 3）にある場合）、ピーク振幅  $A^2 = (\text{第一フィルタ済サンプル})^2 + (\text{第二フィルタ済サンプル})^2$  であり、従って  $A = \{(\text{第一フィルタ済サンプル})^2 + (\text{第二フィルタ済サンプル})^2\}$  の平方根であることを示している。特に、第一サンプルが角度  $\alpha$  だけ第一ゼロ交差点 60 から遅れているものと仮定する。従って、第一サンプル 56 の大きさは  $A \sin \alpha$  と等しい。更に、第一サンプル 56 は  $90^\circ$  だけ第二サンプル 58 に先行しているので、第二サンプル 58 は  $\alpha$  だけピーク 62 から遅れており且つ  $90^\circ - \alpha$  だけ第二ゼロ交差点 64 に先行している。従って、第二サンプル 58 の大きさは  $A \sin (90^\circ - \alpha) = A \cos \alpha$  と等しい。更に、 $\sin^2 \alpha + \cos^2 \alpha = 1$  であり、従って  $A^2 \sin^2 \alpha + A^2 \cos^2 \alpha = A^2$

$n^2 \alpha + A^2 \cos^2 \alpha = A^2 (\sin^2 \alpha + \cos^2 \alpha) = A^2 = (\text{第一フィルタ済サンプル 56})^2 + (\text{第二フィルタ済サンプル 58})^2$ 、及び  $A = \{(\text{第一フィルタ済サンプル 56})^2 + (\text{第二フィルタ済サンプル 58})^2\}$  の平方根である。従って、第一及び第二フィルタ済サンプル 56 及び 58 が  $90^\circ$  又はほぼ  $90^\circ$  だけ離隔している限り、これらのサンプルがプリアンプルシヌソイド上のどこに位置しているかに拘わらず、即ちサンプルクロック（不図示）とプリアンプルシヌソイドとの間の位相角とは無関係に、第一及び第二フィルタ済サンプル 56 及び 58 から振幅 A を計算することが可能である。

【0021】再度図 4 を参照すると、本発明の 1 実施例においては、回路 48 は第一利得コンポーネントの位相と独立した決定を行うために図 5 に関して上述した技術を使用している。この決定はサンプルクロックとプリアンプルシヌソイドとの間の位相に依存するものではないので、回路 48 はプリアンプルの始めにおいてこの決定を行うことが可能であり、且つ別の回路（不図示）が位相を決定することを待機することは必要ではない。このことはそうでない場合に必要であるよりもより短いプリアンプルとすることを可能としている。

【0022】特に、回路 48 は、図 5 に関連して上述したように、サンプルの最大、即ちピークの大きさを決定する。このピークの大きさから、回路 48 は、ビタビ検知器 26（図 3）への入力におけるピークの大きさが、その後、上述した如く、所望のピークの大きさにより近い又は等しいように、増幅器 20 の利得を変化させるために初期的利得調節の第一コンポーネント（成分）を発生する。例えば、所望のピークの大きさが M であり且つ決定されたピークの大きさが 2M である場合には、回路 48 は、しばらくの間第二コンポーネントの影響を無視して、それが増幅器 20（図 3）の利得を半分に減少させるように第一コンポーネントを発生する。勿論、上述した如く、回路 50 は A/D サンプルによって経験されたポストサンプリング利得に対応する量だけ第一コンポーネントの影響をスケールリングするために第二コンポーネントを発生する。

【0023】図 6 は図 5 に示したプリアンプルシヌソイドの正の半周期の部分の直線近似の概略図である。この場合には、プリアンプルシヌソイドの正の半周期は三角形として近似してある。三角形に対して適用される公知の幾何学的原理によれば、プリアンプルシヌソイドが三角波である場合には、ピーク振幅  $A = B + C = \text{第一フィルタ済サンプル 56} + \text{第二フィルタ済サンプル 58}$  である。然しながら、第一及び第二サンプル 56 及び 58 はシヌソイドの点であり且つ三角波の点ではないので、 $A \approx B + C$  であり、且つ A の精度はサンプル 56 と 58 との間、即ちサンプルクロック（不図示）とプリアンプルシヌソイドとの間の位相に依存する。

【0024】再度図 4 を参照すると、本発明の幾つかの



実施例においては、回路 48 は第 1 利得コンポーネントの決定を行うために図 5 に関連して上述した直線近似技術を使用する。これらの実施例の各々において、回路 48 が振幅 A を決定すると、それは図 4 及び 5 に関連して上述した態様において初期的利得調節の第一コンポーネントを発生する。

【0025】これらの実施例のうちの最初のものにおいて、回路 48 は単に  $A = B + C$  を計算する。この計算は比較的正確なものである場合があるが、回路 48 はこの計算を行うためにサンプルクロックとプリアンプルシ

ヌソイドとの間の位相角を必要とするものではない。更に、A に対する比較的正確な値であっても、しばしば、利得決定回路 46 が初期的利得調節を発生しない場合と比較して、利得安定化時間を著しく減少させる初期的利得調節を発生することを可能とさせることがしばしばである。

【0026】これらの実施例の 2 番目のものにおいて

は、回路 48 が A の精度を増加させるためにサンプル 5

6 及び 58 の一方又は両方のスケールリングを行う。例えば、1 つの適用例においては、回路 48 は、最初に、サ

ンプル 56 及び 58 のうちのいずれが最も小さな大きさを有しているかを決定する。両方のサンプルの大きさが等しい場合には、回路 48 はいずれかのサンプルの大きさを最も小さいものとして選択することが可能である。

次いで、回路 48 はスケールリング係数、即ち  $(2 - SQ *$

表 1

$\alpha'$	CF	$A = CF \times \text{Raw\_A}$
0-3	1.00	$A = \text{Raw\_A}$
5-13	0.95	$A = 0.95\text{Raw\_A}$
14-18	0.90	$A = 0.90\text{Raw\_A}$
19-28	0.95	$A = 0.95\text{Raw\_A}$
29-31	1.00	$A = \text{Raw\_A}$

【0029】回路 48 は、位相回路が  $\alpha'$  を計算している間に  $\text{Raw\_A}$  を計算することが可能であるので、この技術を使用してピークの大きさ A を計算する回路 48 に対して時間上の犠牲は又は全く存在せず、従ってプリアンプルは、典型的に、図 5 に関連して上述した実施例及び図 6 に関連して上述した第一及び第二実施例に関して長くさせることは必要ではない。

【0030】図 7 は図 4 の回路 48 及び 50 の別の実施例の概略ブロック図である。この実施例においては、回路 48 及び 50 の各々は 1 つ又はそれ以上の夫々のルックアップメモリ（テーブル）を有している。特に、回路 48 は回路 48 に対して上述した計算技術のうちの 1 つに従って予め決定された多数の値を格納している。従って、回路 48 は第一及び第二フィルタ済サンプルの大きさに対応するこれらの値のうちの 1 つを検索し、且つこの値を初期的利得調節の第一コンポーネントとして発生器 52（図 4）へ供給する。同様に、回路 50 は、夫

\*  $RT(2) \div (SQRT(2)) = 0.414$  によって該最も小さいサンプルの大きさをスケールリングする。

尚、SQRT は平方根の略号である。次いで、回路 48 はピークの大きさ  $A = (\text{スケールリング係数}) \times (\text{最小サンプル大きさ}) + \text{最大サンプル大きさ}$  を計算する。この特定の技術は A に対して  $\pm 10\%$  以内の精度を発生し、その場合に、該精度は A/D 変換器 22 がサンプル 56 及び 58 を発生する時間期間中におけるサンプルクロックとプリアンプルシヌソイドとの間の位相角に依存する。

【0027】これらの実施例のうちの 3 番目のものにおいては、回路 48 は一方又は両方のサンプルをスケールリングし且つ第二実施例について上述した技術に従って A に対する生の値 ( $\text{Raw\_A}$ ) を計算し、次いでサンプルクロックとプリアンプルシヌソイドとの間の位相角の関数である相関係数 CF で  $\text{Raw\_A}$  をスケールリングする。例えば、1 つの適用例においては、別の位相回路

（不図示）がサンプルクロックとプリアンプルシヌソイドとの間の 5 ビット相対的位相角  $\alpha'$  を計算する。このような位相回路の例は、例えば、前述した米国特許出願第 09/530,453 及び第 09/503,929 号に記載されている。以下の表 1 は  $\alpha'$  の夫々の範囲に対しての CF 及びピーク振幅 A の値を示している。

【0028】

【表 1】

々、潜在的なポストサンプリング利得に対応する多数の所定の値を格納している。従って、回路 50 は、受取ったポストサンプリング利得情報に対応するこれらの値のうちの 1 つを検索し、且つこの値を初期的利得調節の第二コンポーネントとして発生器 52 へ供給する。1 つの適用例においては、回路 48 及び 50 は、各々、それらのルックアップメモリを計算の夫々の部分に対する中間値を格納する夫々のセクションへ区画化し、次いでこれらの中間値から最終的な値を計算することが可能である。例えば、図 4 及び 5 を参照すると、回路 48 は（第一サンプル 56）<sup>2</sup> の所定値を格納する第一セクションと、（第二サンプル 58）<sup>2</sup> の所定値を格納する第二セクションと、これらの値から初期的利得調節の第一コンポーネントを計算する計算回路（不図示）とを有することが可能である。

【0031】この変形実施例の利点としては、それが、典型的に、上述した実施例よりも一層高速だということ



である。何故ならば、回路 48 及び 50 はこれらの値を計算する場合よりも、メモリ位置からより高速に所定値を検索することが可能だからである。逆に、この実施例の欠点としては、ルックアップメモリの寸法は、しばしば、回路 48 及び 50 を上述した実施例におけるよりも著しく大きなものとさせる場合があるということである。

【0032】図 8 は、本発明の 1 実施例に基づくディスクドライブ 102 を包含しているディスクドライブシステム 100 の概略ブロック図である。ディスクドライブ 102 は読取回路 103 を組込んでおり、該読取回路 103 は、増幅器 20 と、A/D 変換器 22 と、FIR フィルタ 24 と、サンプル補間器 41 と、ビタビ検知器 26 と、図 3 の利得制御回路 40 とを有している。ディスクドライブ 102 は、典型的に結合型書込／読取ヘッドである読取ヘッド 18 と、書込信号を発生し且つヘッド 104 を書込信号で駆動する書込回路 106 と、書込データを書込回路 106 とインターフェース処理する書込制御器 108 とを有している。ディスクドライブ 102 は、又、ヘッド 18 からの読取信号を受取り且つ該読取信号からデータを回復する読取回路 103 を有しており、且つ読取データを処理する読取制御器 114 を有している。ディスクドライブ 102 は、更に、例えば、各々が片側及び両側にデータを格納即ち記憶することが可能な 1 つ又はそれ以上のディスク 16 等のような格納（記憶）媒体を包含している。読取／書込ヘッド 18 はディスク 16 上に記憶されているデータを書込／読取、且つ可動支持アーム 118 へ接続されている。位置決めシステム 120 がボイスコイルモータ（VCM）122 へ制御信号を供給し、該 VCM は夫々のディスク 16 上の所望のデータに向かってヘッド 18 を半径方向に移動／位置を維持するためにアーム 118 を移動／位置を維持する。スピンドルモータ（SPM）124 及び SPM 制御回路 126 は、夫々、ディスク 16 を回転させ且つ適切な回転速度に維持する。

【0033】ディスクドライブシステム 100 は、更に、書込及び読取制御器 108 及び 114 を使用されているシステムに対して特定のシステムバス 132 に対して夫々インターフェースするための書込及び読み取りインターフェースアダプタ 128 及び 130 を有している。典型的なシステムバスとしては ISA、PCI、S

Bus、Nu-Bus 等がある。システム 100 は、又は、典型的に、例えばランダムアクセスメモリ（RAM）134 及びバス 132 に接続されている中央処理装置（CPU）136 等のその他の装置を有している。

【0034】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、図 3、4、7 の回路は個別の回路ブロックを有するものとして説明したが、これらのブロックの幾つか又は全ての機能は 1 個又はそれ以上のプロセッサによって実施することが可能である。

【図面の簡単な説明】

【図 1】 従来のディスクドライブ読取チャンネルを示した概略ブロック図。

【図 2】 ディスクデータセクタのプリアンプルを読取っている間に図 1 の読取増幅器によって発生されるシノソイド即ち正弦曲線を示した概略図。

【図 3】 本発明の 1 実施例に基づくディスクドライブ読取チャンネルを示した概略ブロック図。

【図 4】 本発明の 1 実施例に基づく図 3 の初期的利得決定回路を示した概略ブロック図。

【図 5】 本発明の 1 実施例に基づくプリアンプルシノソイドの一部を示した位相線図。

【図 6】 本発明の 1 実施例に基づくプリアンプルシノソイドの直線近似を示した概略図。

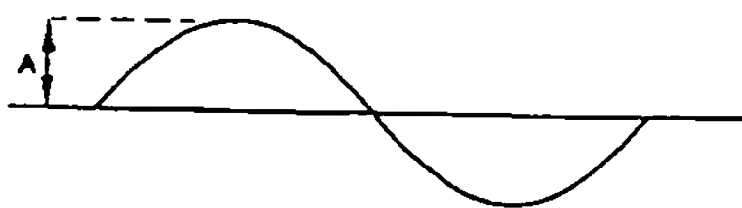
【図 7】 本発明の 1 実施例に基づく図 4 の振幅をベースとした及びポストサンプリングをベースとした利得コンポーネント回路を夫々構成するルックアップメモリを示した概略ブロック図。

【図 8】 本発明の 1 実施例に基づく図 3 の読取チャンネルの一部を組み込んだディスクドライブシステムを示した概略ブロック図。

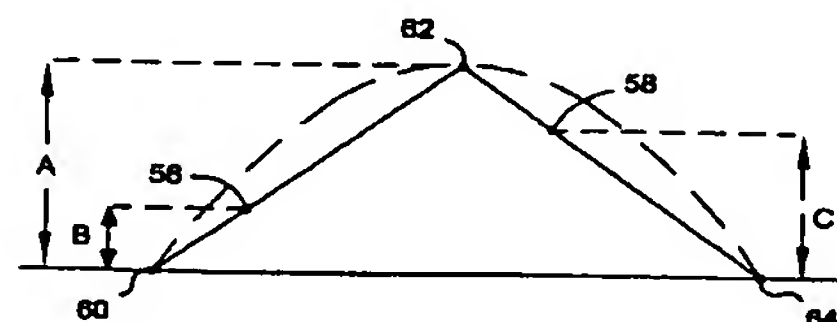
【符号の説明】

- 24 FIR フィルタ
- 26 ビタビ検知器
- 34 読取チャンネル
- 36 初期的利得決定回路
- 38 D/A 変換器
- 39 読取チャンネル
- 41 サンプル補間器

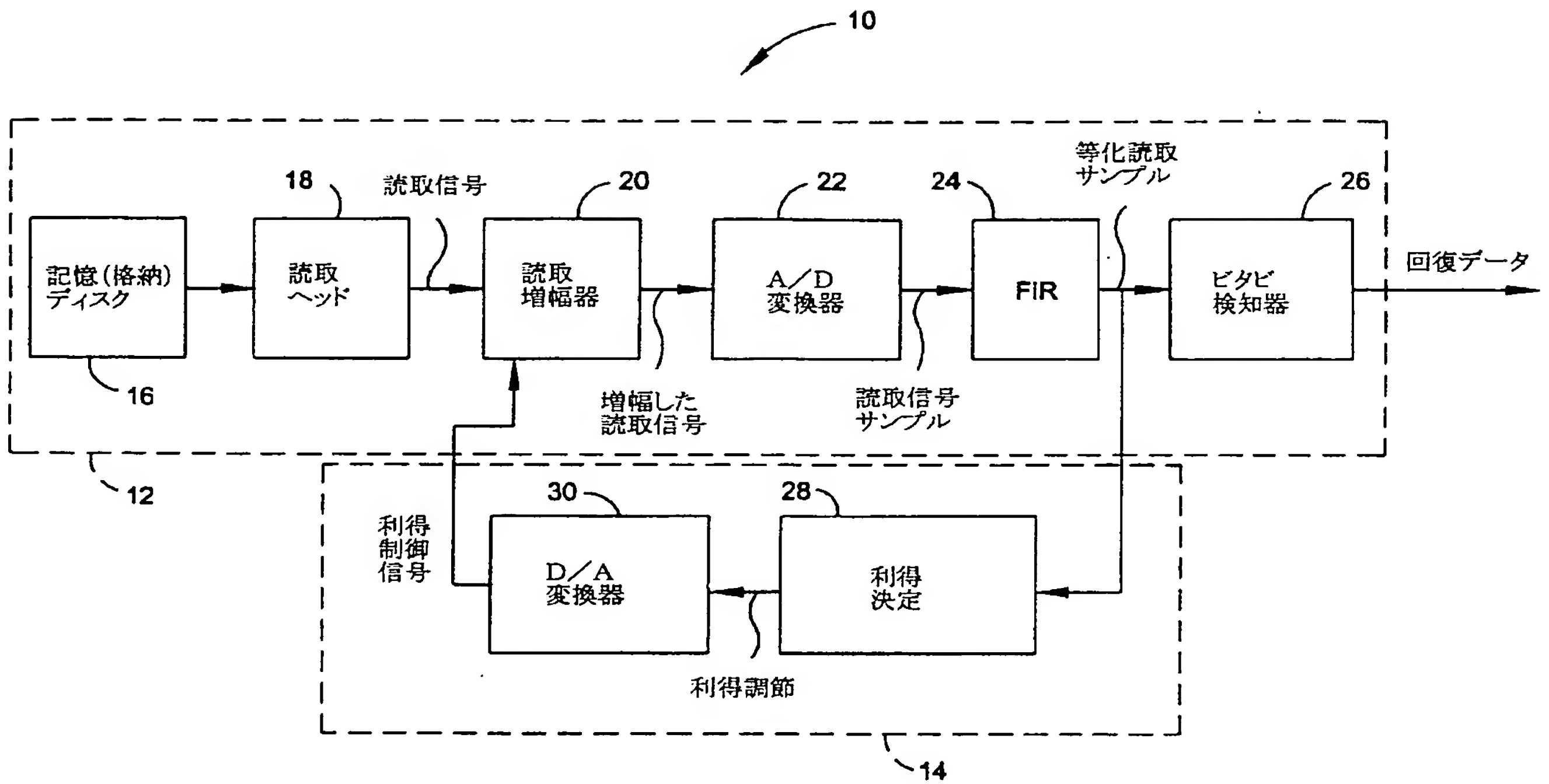
【図 2】



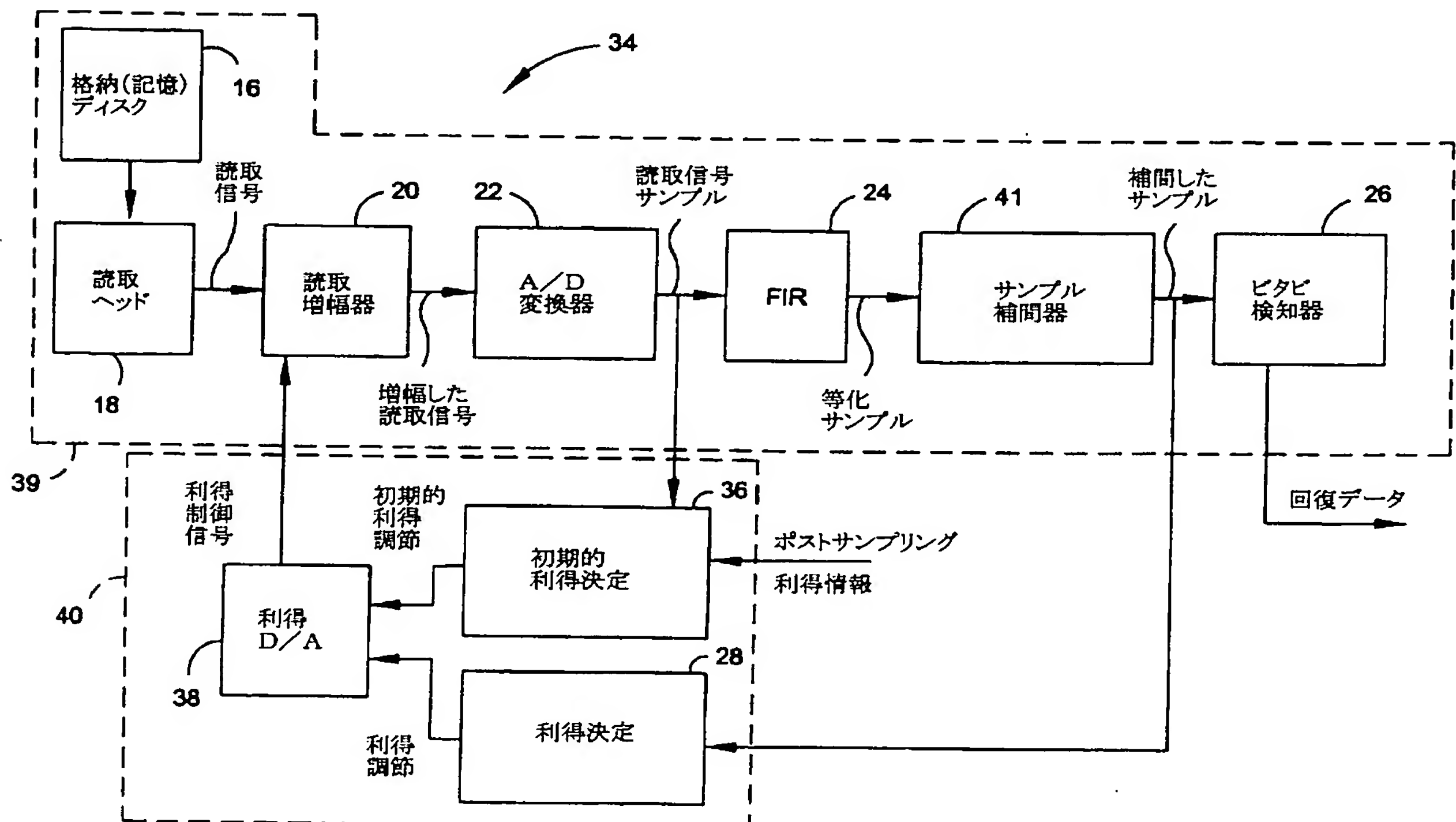
【図 6】



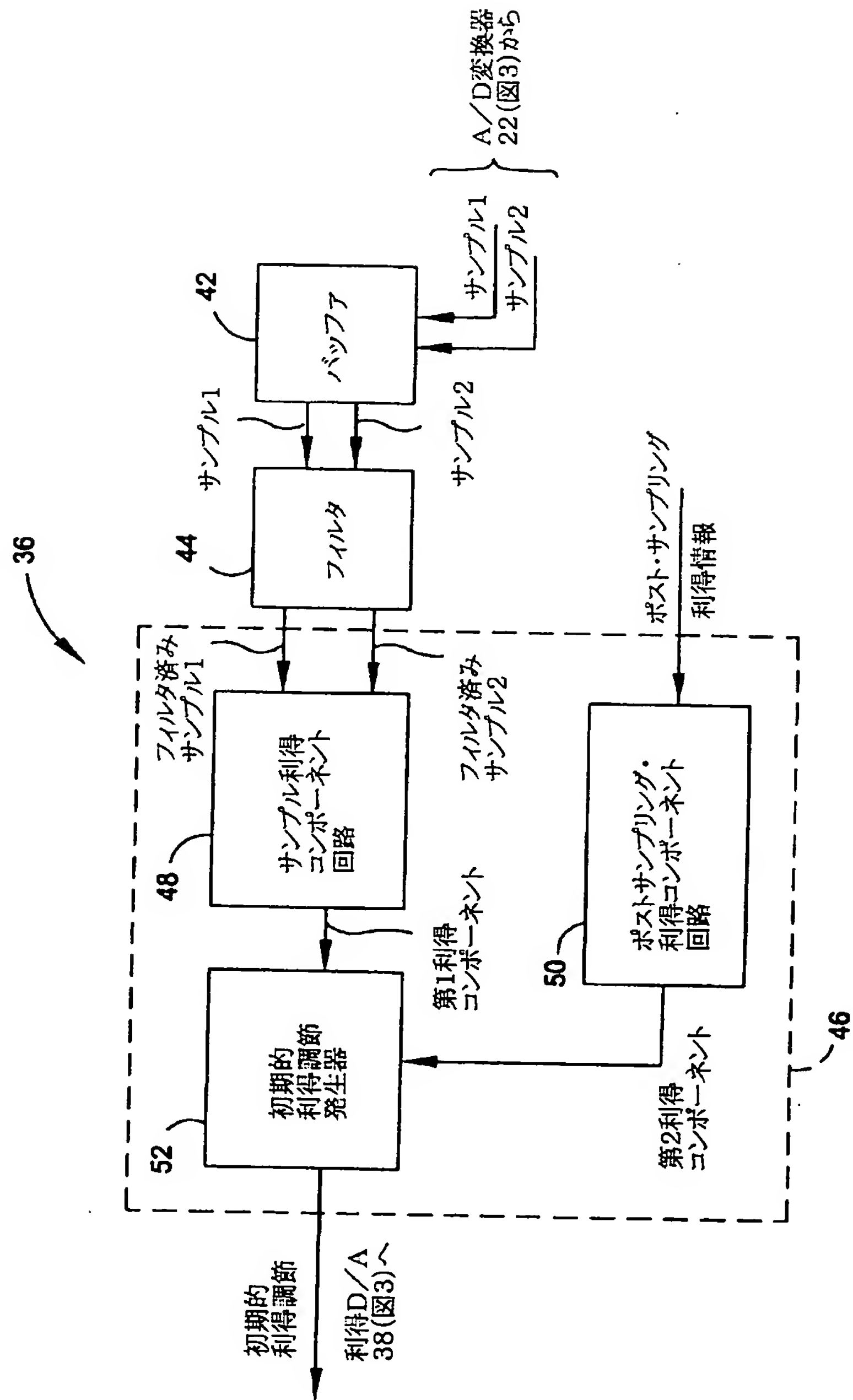
【図 1】



【図 3】

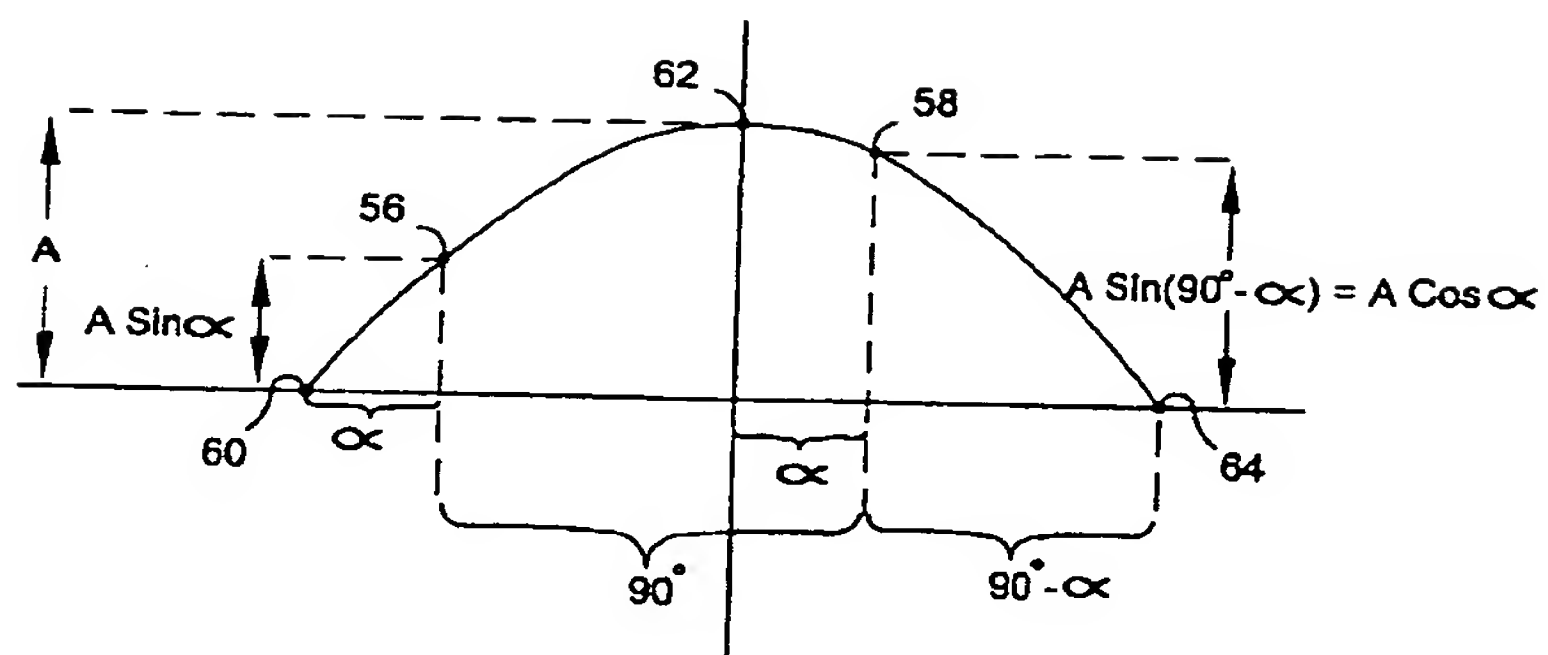


【図4】

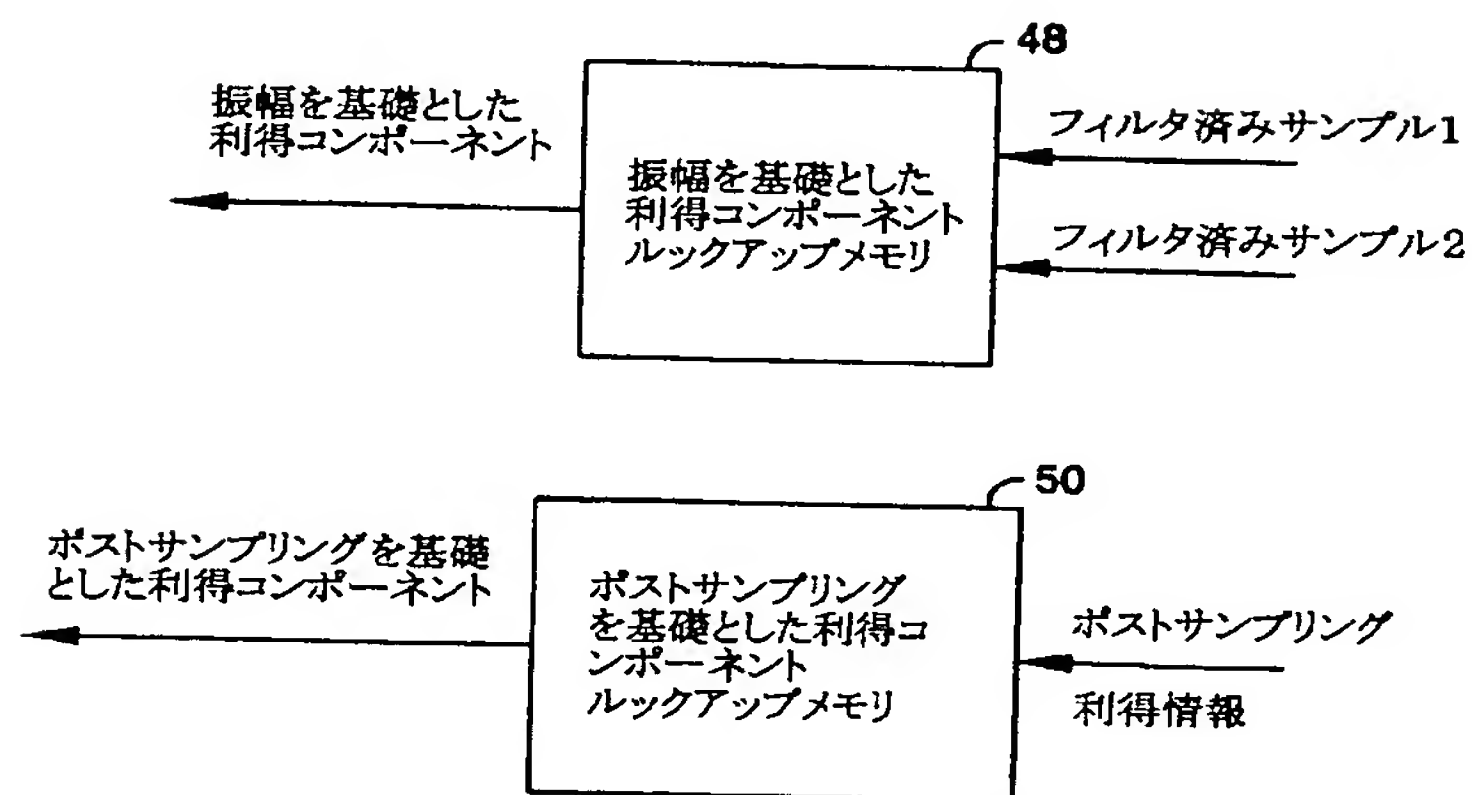




【図5】



【図7】



【図 8】

